



**UNIVERSIDAD MICHOACANA DE
SAN NICOLAS DE HIDALGO
Facultad de Ingeniería Eléctrica**



Laboratorio de Instrumentación II

PRÁCTICA 8

“El Convertidor de Analógico a Digital”

Objetivo

Implementar de manera discreta un convertidor de analógico a digital utilizando la técnica de conversión de rampa simple o flash (en este caso será de 4 bits). Este convertidor se utilizará para digitalizar la señal proporcionada por un sensor. Determinar experimentalmente la relación entrada/salida y el voltaje de mínima escala respecto al número de bits utilizados.

ANTECEDENTES

Tanto las computadoras como otros sistemas digitales se usan ampliamente para el análisis y procesamiento de señales de variación continua. Un voltímetro digital es un ejemplo de instrumentos que procesan un voltaje analógico y produce una representación numérica de este voltaje en pantalla. Algunos sistemas digitales sofisticados de procesamiento de señales convierten las sombras y colores continuos de imágenes en formato digital para ser procesado por una computadora con la finalidad con la finalidad de mejorar la imagen. Estas son algunas de las aplicaciones que requieren el uso de algún ADC.

El proceso de convertir señales analógicas a digitales es más complejo y tardado que la conversión digital-analógica. Un ADC toma un voltaje analógico y después de un cierto tiempo

entrega una salida digital. Existen diferentes tipos de ADCs, pero en general constan de un comparador de voltaje, unidad de control, registro y un DAC tal y como se muestra en la Figura (1).

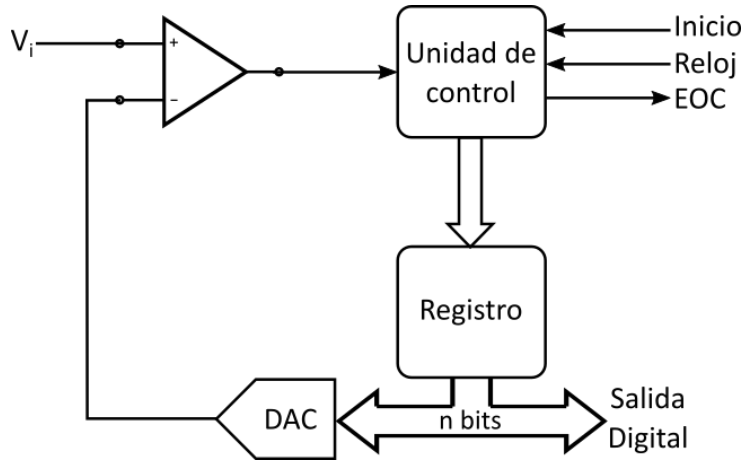


Figura 1 Símbolo esquemático del ADC y grafica entrada/salida

Al aplicar el pulso en la terminal inicio, el reloj modifica el valor de los bits del registro; esta salida se convierte en analógica y se compara con el voltaje de entrada V_i ; cuando ambos son iguales la unidad de control detiene la conversión y envía el pulso de fin de conversión por la terminal EOC, indicando que la conversión ha terminado, obteniéndose el resultado en la salida del registro.

La característica de transferencia mostrada en la figura (2) pertenece a un ADC perfecto de 4 bits, que puede convertir una entrada analógica en una de las 16 palabras de código de salida.

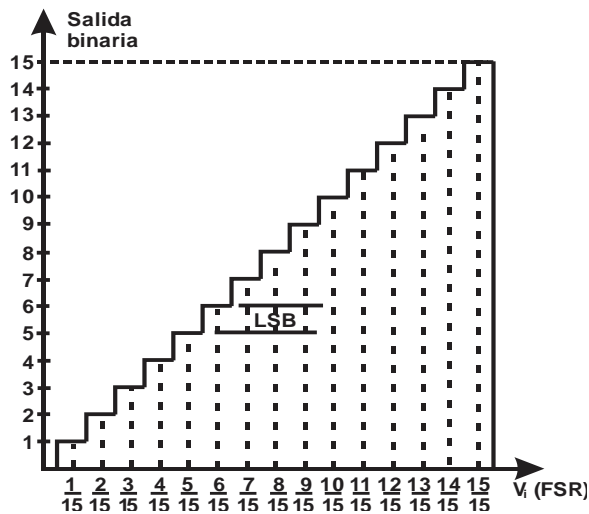


Figura 2 Característica de transferencia de un ADC de 4 bits

Características del ADC

Existen diversas características o parámetros relacionados con la arquitectura y condiciones de operación de un ADC que nos dan a conocer más explícitamente cada dispositivo:

- **Rango a plena escala:** La entrada de un ADC determinado puede manejar solo un rango limitado de valores, por ejemplo, 0 a 10V. Este conjunto de valores que se puede obtener del convertidor es llamado rango a plena escala FSR (por sus siglas en inglés Full Scale Range)
- **División del rango de entrada:** El rango de entrada del convertidor es segmentado en $2^n - 1$ divisiones, donde n es el número de bits de salida. La división del rango de entrada de un ADC es análoga a la resolución del DAC, por lo que tenemos:

$$\text{Div. de rango de entrada} = 1\text{LSB} = \frac{FSR}{2^n - 1}$$

Normalmente se denomina resolución a la división del rango de entrada, aunque también se puede expresar en número de bits.

- **Formato de salida:** Los ADCs se pueden encontrar con salida binaria, BCD y 7 segmentos (listo para aplicar a un display), pero estos dos últimos tipos ya son para uso más particular en instrumentos de medición.
- **Cuantización:** Se denomina así al proceso de convertir la entrada continua en discreta.
- **Error de cuantización o cuantificación:** Es la incertidumbre asociada al número finito de salidas que puede tomar el ADC con respecto al V_i . Se tiene una incertidumbre mínima de $\pm \frac{1}{2}$ LSB, aunque comúnmente se encuentran errores de cuantización de hasta ± 1 LSB.

- **Error de Offset:** Dada la naturaleza de los dispositivos utilizados en la construcción de ADCs se encuentra un desplazamiento fijo de las divisiones a la entrada. En este caso el offset se mide en LSBs.
- **Error de ganancia:** Se presenta cuando la salida binaria pierde la relación original con respecto a las fracciones correspondientes de FSR. Esto causa que todos los códigos de salida estén fuera de lugar por multiplicarse por una ganancia parásita K_p .
- **No linealidad:** Es la desviación que tiene el rango de salida binaria respecto a la recta ideal del mismo.
- **No linealidad diferencial:** Es la diferencia entre el tamaño teórico de la división del rango y la división real obtenida.
- **Tiempo de conversión:** Es el tiempo que requiere el circuito completo desde que cambia la entrada analógica hasta que la salida digital es actualizada con el valor correspondiente a la nueva entrada.

ADC Paralelo (Flash converter)

En aplicaciones en que se requiere una conversión extremadamente rápida se utilizan los circuitos paralelos, cuyo diagrama de bloques se muestra en la figura (3). Se trata simplemente de un grupo de comparadores conectados en **paralelo**, cuyas salidas se van a un circuito codificador. El voltaje de referencia es aplicado a un divisor de voltaje resistivo para que cada comparador tenga como referencia una porción de él.

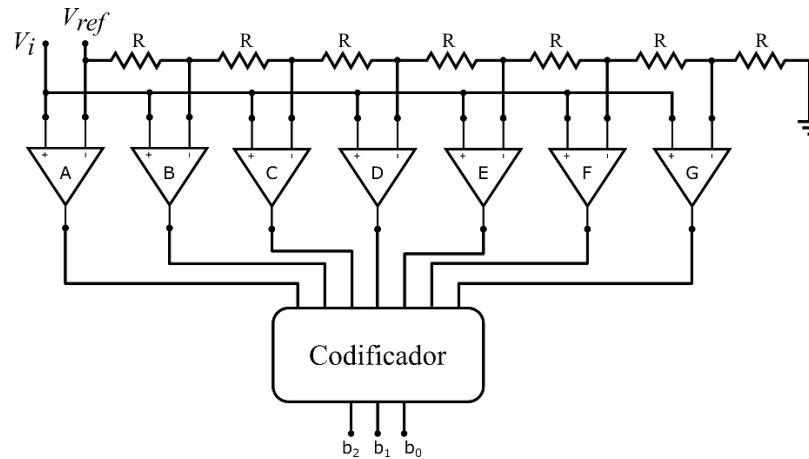


Figura 3 Convertidor A/D en paralelo o flash de 3 bits.

Nótese que en el caso de la Figura (3) el comparador G tiene como referencia $V_{REF}/7$, el comparador F tiene $2V_{REF}/7$, el E $3V_{REF}/7$ y así sucesivamente hasta que el A tiene de referencia V_{REF} . De esta forma, si V_i estuviera en C y D, por ejemplo, estarían en alto (1 lógico) las salidas de los comparadores D, E, F, y G, mientras que de A a C estarían en bajo (0 lógico). El decodificador tomaría estos 1s y 0s como entrada para convertirlos a un dato binario correspondiente (en este caso un 4 binario), entregando así la salida “100”.

Una desventaja importante es que el número N de comparadores requeridos para construir un ADC paralelo con n salidas es muy grande, de modo que:

$$N = 2^n - 1$$

Así, el ADC paralelo de 8 bits requerirá de 255 comparadores y un gran decodificador.

REQUISITOS

Presentarse con los siguientes requisitos a la práctica:

1. Diseñar un ADC paralelo de 4 bits. Utilizar resistencias del orden de decenas de $K\Omega$ y proponer un codificador de 15 entradas utilizando un formato binario a la salida.
2. Simular el circuito diseñado con $V_{ref} = 10 V$ y las alimentaciones de los operacionales de 0 a 5 V

Es indispensable presentarse con los requisitos hechos.

DESARROLLO

1. Armar el ADC en base al circuito diseñado en los requisitos.
2. Obtener los voltajes de cada cuenta binaria (tabla de verdad).

ENTRADA rango(Volts)	Salidas			
V_i	a_3	a_2	a_1	a_0
0	0	0	0	0
0	0	0	0	1
0	0	0	1	0
0	0	0	1	1
0	0	1	0	0
0	0	1	0	1
0	0	1	1	0
0	0	1	1	1
1	0	0	0	0
1	0	0	0	1
1	0	0	1	0
1	0	0	1	1
1	0	1	0	0
1	0	1	0	1
1	0	1	1	0
1	1	0	0	0
1	1	0	0	1
1	1	0	1	0
1	1	0	1	1
1	1	1	0	0
1	1	1	0	1
1	1	1	1	0
1	1	1	1	1

3. Construir la gráfica de transferencia del ADC implementado.
4. Obtener los siguientes parámetros del convertidor:
 - a. División del rango de entrada.
 - b. Error de cuantización (SNQR).
 - c. Error de offset.

Reportar

- Cálculo del diseño y simulación del ADC.
- Tabla de valores medidos y parámetros medidos.
- Comparar valores medido con teóricos.
- Observaciones y problemas (en caso de haberlos tenido).
- Observaciones y conclusiones de forma individual.