

Nombre de la materia:	Electrónica Digital I
Clave:	CI0300-T
No. De horas /semana :	4
Duración semanas:	16
Total de Horas :	64
No. De créditos :	8
Prerrequisitos :	CI0100-T

Objetivo:

El alumno aplicará la teoría de la conmutación en la solución de problemas de análisis y diseño de sistemas lógicos utilizando tanto dispositivos SMI y MSI como dispositivos lógicos programables PLD's y herramientas de software para síntesis y simulación.

Programa sintético

1	Sistemas Digitales y Números Binarios	8 Hrs.
2	Algebra Booleana y compuertas Lógicas	8 Hrs.
3	Minimización a nivel de compuerta	8 Hrs.
4	Lógica Combinacional	12 Hrs.
5	Lógica Secuencial Síncrona	22 Hrs.
	Exámenes parciales (3)	6 Hrs.
	Totales	64 Hrs.

Programa desarrollado:

- | | | |
|----|---------------------------------------|---|
| 1. | Sistemas Digitales y Números Binarios | 8 |
| | Hrs. | |
| | 1. Sistemas digitales | |
| | 2. Números binarios | |
| | 3. Conversiones entre bases | |
| | 4. Números en Octal y Hexadecimal | |
| | 5. Números en complemento | |

6. Números binarios con signo		
7. Códigos binarios		
8. Almacenamiento binario y Registros		
9. Lógica binaria		
2. Algebra Booleana y compuertas Lógicas		8
Hrs.		
1. Introducción		
2. Definiciones básicas		
3. Definición axiomática del álgebra Booleana		
4. Teoremas básicos y propiedades del álgebra Booleana		
5. Funciones Booleanas		
6. Formas canónicas y estándar		
7. Otras operaciones lógicas		
8. Compuertas lógicas		
9. Circuitos Integrados		
Primer examen parcial	2 hrs.	
3. Minimización a nivel de compuerta		8
Hrs.		
1. Introducción		
2. Método del mapa de Karnaugh		
3. Mapas-K de 4 variables		
4. Simplificación de Productos-de-Sumas		
5. Condiciones sin cuidado		
6. Implementación NAND y NOR		
7. Otras Implementaciones de dos niveles		
8. Función OR Exclusiva		
9. Lenguaje de Descripción de Hardware		
4. Lógica Combinacional		12 Hrs.
1. Introducción		
2. Circuitos combinacionales		
3. Procedimiento de análisis		
4. Procedimiento de diseño		
5. Sumador-restador binario		
6. Sumador Decimal		
7. Multiplicador Binario		
8. Comparador de Magnitud		
9. Decodificadores		
10. Codificadores		
11. Multiplexores		
12. Modelos VHDL o Verilog de circuitos combinacionales		
Segundo examen parcial	2 hrs.	
5. Lógica Secuencial Síncrona		
22 Hrs.		
1. Introducción		

2. Circuitos secuenciales
 3. Elementos de almacenamiento: Latches
 4. Elementos de almacenamiento: Flip-Flops
 5. Análisis de circuitos secuenciales síncronos
 1. Modelos Mealy y Moore en VHDL o Verilog
 2. Tablas de funcionamiento
 3. Tablas, diagramas y ecuaciones de estado
 4. Señales de reloj y Diagramas de tiempo
 6. Modelos HDL sintetizables de circuitos secuenciales
 7. Reducción y asignación de estados
 8. Procedimiento de diseño
 1. Tablas de excitación
 2. Diagrama de flujo de estado, Carta ASM
 3. Síntesis utilizando diferentes tipos de Flip-Flops
 9. Contadores, Registros y memorias
- Tercer examen parcial 2 hrs.

Bibliografía.

Libro de Texto:

Digital Design With an introduction to the Verilog HDL, Fifth edition

M. Morris Mano, Michael D. Ciletti

Pearson 2013

ISBN-13: 978-0-13-277420-8

ISBN-10: 0-13-277420-8

Libros de Consulta:

Fundamentos de Electrónica Digital

Thomas L. Floyd. Editorial Limusa

Digital Systems Design Using VHDL

Charles H. Roth

Sistemas Digitales Principios y aplicaciones

Ronald J. Tocci. Prentice Hall

Análisis y diseño de circuitos lógicos digitales

Victor P. Nelson, H. Troy Nagle, Bill D. Carroll, J. David Irvin

Prentice Hall Hispanoamericana

Digital Design Essentials

Richard S. Sandige

Prentice Hall

Direcciones de Internet Interesantes:

ISE WebPack de Xilinx. <http://www.xilinx.com/tools/webpack.htm>
<http://www.alldatasheet.com/>

Metodología de Enseñanza:

Revisión de conceptos, análisis y solución de problemas en clase:

(X)	
Lectura de material fuera de clase	(X)
Ejercicios fuera de clase (tareas)	
(X)	
Investigación documental	()
Elaboración de reportes técnicos o proyectos	(X)
Prácticas de laboratorio en una materia asociada	(X)
Visitas a la industria	()
Exposición oral	()
Exposición audiovisual	()
Uso de paquetes de simulación en computadora	
(X)	

Procedimiento de Evaluación:

Asistencia	(X)
Tareas	(X)
Elaboración de reportes técnicos o proyectos	(X)
Trabajos y tareas fuera del aula	(X)
Participación en clase	(X)
Exámenes parciales	(X)
Exámenes de academia o departamentales	(X)

Propuesta presentada en Agosto de 2014 por:

M.I. Samuel Pérez Aguilar
M.C. Carlos Manuel Sánchez González
M.S.I. Dionisio Buenrostro Cervantes
M. C. Jorge Alberto Bonales Valencia
M. C. Octavio Barriga Torres
Ing. Gabriela Barrera Díaz
M. I. Antonio Ulises Saenz Trujillo
Dr. José Juan Rincón Pasaye
M. I. Salvador Ramírez Zavala